



## PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07143013 A**(43) Date of publication of application: **02.06.95**

(51) Int. Cl.

**H03M 9/00**  
**G06F 17/14**  
**G06T 1/00**  
**H04N 1/41**  
**H04N 7/30**

(21) Application number: **05289523**(22) Date of filing: **18.11.93**(71) Applicant: **OKI ELECTRIC IND CO LTD**(72) Inventor: **KOMOTO EIJI**

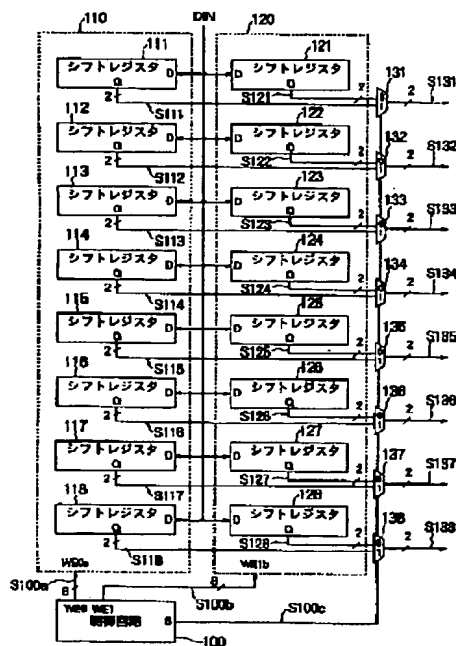
## (54) INPUT REGISTER CIRCUIT

## (57) Abstract:

**PURPOSE:** To obtain an input register circuit in which a problem of its large momentary current is solved, the transfer of large amount of data in one cycle is not required and the momentary current is small

**CONSTITUTION:** Sixteen cycles are set as one operation unit, and write on shift registers 111-118 in a shift register group 110 and the parallel output by every two bits of the data or shift registers 121-128 in a shift register group 120 are performed in eight cycles in the first half. On the other hand, the write on the shift registers 121-128 in the shift register group 120 and the parallel output by every two bits of the data in the shift registers 111-118 in the shift register group 110 are performed in eight cycles in the latter half adversely to the first half.

COPYRIGHT: (C)1995,JPO



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-143013

(43) 公開日 平成7年(1995)6月2日

(51) Int.Cl.<sup>6</sup>

H 0 3 M 9/00

G 0 6 F 17/14

G 0 6 T 1/00

識別記号

C 9382-5 J

9364-5 L

8420-5 L

F I

G 0 6 F 15/ 332

15/ 66

S

M

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 12 頁) 最終頁に続く

(21) 出願番号 特願平5-289523

(22) 出願日 平成5年(1993)11月18日

(71) 出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72) 発明者 湖本 英治

東京都港区虎ノ門1丁目7番12号 沖電気  
工業株式会社内

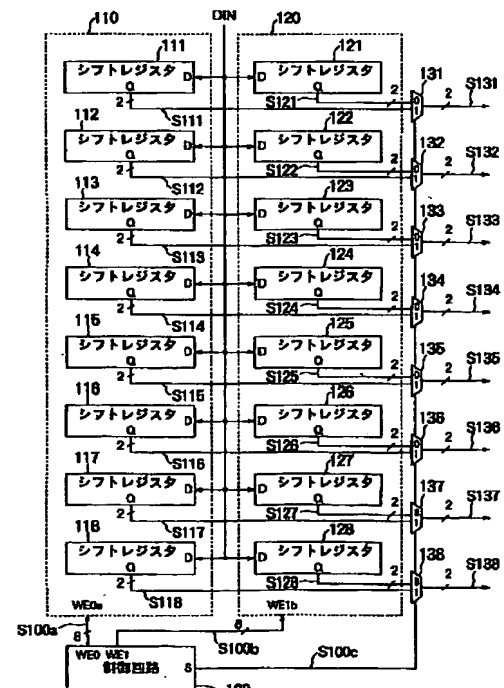
(74) 代理人 弁理士 柿本 恭成

#### (54) 【発明の名称】 入力レジスタ回路

#### (57) 【要約】

【目的】 入力レジスタ回路の瞬時消費電流が大きいという点について解決し、1サイクルで大量のデータを転送する必要がなく、瞬時消費電流が小さい入力レジスタ回路を提供する。

【構成】 16サイクルを1つの動作単位とし、前半の8サイクルでは、シフトレジスタ群110のシフトレジスタ111～118への書き込みと、シフトレジスタ群120のシフトレジスタ121～128のデータを2ビットずつ並列に出力する。一方、後半の8サイクルでは、前半とは逆に、シフトレジスタ群120のシフトレジスタ121～128への書き込みと、シフトレジスタ群110のシフトレジスタ111～118のデータを2ビットずつ並列に出力する。



本発明の第1の実施例の入力レジスタ回路

## 【特許請求の範囲】

【請求項1】  $n$  個（但し、 $n$  は1以上の整数）のシフトレジスタを有し、第1の制御信号により順次選択される該シフトレジスタに入力データを  $n$  サイクルの間取り込んで、その取り込んだ各データのうちの  $m$ （但し、 $m$  は  $n$  より小さい1以上の整数）ビットを次の  $n$  サイクルの間に並列に出力する第1のシフトレジスタ群と、  
 $n$  個のシフトレジスタを有し、前記第1のシフトレジスタ群が出力動作をしている間第2の制御信号により順次選択される該シフトレジスタに前記入力データを取り込んで、前記第1のシフトレジスタ群の出力終了後に、その取り込んだ各入力データのうちの  $m$  ビットを次の  $n$  サイクルの間並列に出力する第2のシフトレジスタ群と、  
 第3の制御信号に基づき前記第1及び第2のシフトレジスタ群の出力信号のいずれか一方を選択して出力する  $n$  個の選択手段と、  
 前記第1及び第2の制御信号を交互に出力すると共に、それに対応して前記第3の制御信号を出力する制御回路とを、  
 備えたことを特徴とする入力レジスタ回路。

【請求項2】 制御信号を出力する制御回路と、  
 入力データを  $n$  個（但し、 $n$  は1以上の整数）に分割して出力する入力分割手段と、  
 前記入力データを前段から次段へ順次入力して最終段から出力する出力動作及び前記入力分割手段で分割された入力データを取り込んでシフトして並列出力する出力動作の2種類の出力動作を前記制御信号に基づき選択して行う縦続接続された  $n$  個のシフトレジスタと、  
 前記  $n$  個のシフトレジスタの最終段の出力信号を  $n$  個に分割して出力する出力分割手段と、  
 前記出力分割手段の各出力信号又は前記  $n$  個のシフトレジスタから並列出力された各出力信号のいずれか一方を前記制御信号に基づき選択して出力する  $n$  個の選択手段とを備え、  
 前記各シフトレジスタは、  
 前記入力データを取り込む第1の入力端子と、  
 該第1の入力端子から取り込まれた入力データを出力する第1の出力端子と、  
 前記入力分割手段で分割された入力データを取り込む第2の入力端子と、  
 該第2の入力端子から取り込まれた入力データをクロック信号に基づき  $m$ （但し、 $m$  は  $n$  より小さい1以上の整数）ビットずつシフトして出力する第2の出力端子と、  
 該第1又は第2の入力端子から取り込まれた入力データのいずれか一方を選択する前記制御信号を入力する制御入力端子とを、  
 それぞれ有することを特徴とする入力レジスタ回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、例えば、テレビ会議シ

ステムやテレビ電話等に使用され、デジタル画像処理における画像データを圧縮、符号化するため等を使用される離散コサイン変換（Discrete Cosine Transform、以下、DCTという）及び逆変換（Inverse Discrete Cosine Transform、以下、IDCTという）回路等に設けられる、特にその入力レジスタ回路に関するものである。

## 【0002】

【従来の技術】 従来、このような分野の技術としては、例えば、次のような文献に記載されるものがあった。  
 文献；特開平4-17464号公報  
 図2は、前記文献に記載された従来のDCT/IDCT装置の一構成例を示す概略の構成ブロック図である。このDCT/IDCT装置は、順変換指令Fで1次元目DCT演算を行い、逆変換指令Iで1次元目IDCT演算を行う1次元目DCT/IDCT演算部10を有している。1次元目DCT/IDCT演算部10は、中間ランダム・アクセス・メモリ（Random Access Memory、以下、RAMという）20に接続されている。中間RAM20は、1次元目DCT/IDCT演算部10の演算結果を格納する回路である。更に、中間RAM20は、2次元目DCT/IDCT演算部30に接続されている。2次元目DCT/IDCT演算部30は、順変換指令Fで2次元目DCT演算を行い、逆変換指令Iで2次元目IDCT演算を行う回路である。

【0003】 次に、このDCT/IDCT装置の動作を説明する。1次元目DCT/IDCT演算部10は、画像ブロックの行方向入力信号INを受取り、順変換指令Fで1次元目DCT演算を行い、逆変換指令Iで1次元目IDCT演算を行う。テレビ電話では、送信時に順変換指令Fにより画像圧縮を行い、相手からの受信時に逆変換指令Iにより送信元の変換前の画像に戻す。中間RAM20は、演算部10の演算結果を格納する。2次元目DCT/IDCT演算部30は、RAM20に格納中の列方向データに対して、順変換指令Fで2次元目DCT演算を行い、逆変換指令Iで2次元目IDCT演算を行って演算結果S30を出力する。図3は、図2の1次元目DCT/IDCT演算部10の一構成例を示す概略の構成ブロック図である。2次元目DCT/IDCT演算部30も基本的に同一の構成である。この演算部10は、入力信号INを順次入力して保持する入力レジスタ回路11を備えている。入力レジスタ回路11は、並列/直列（Parallel/Serial 以下、P/Sという）変換部12に接続されている。P/S変換部12は、入力レジスタ回路11の出力信号S11を入力して最下位ビット（LSB）から順次シリアルに転送する回路である。P/S変換部12は、前処理部13及び切替部14の一方の入力側に接続されている。前処理部13は、P/S変換部12の出力信号S12を入力してバタフライ演算が行う回路である。前処理部13は、切替部14に接続

されている。切替部14は、順／逆変換指令F／Iに対応して前処理部13の出力信号S13又はP／S変換部12の出力信号S12aを選択する回路である。切替部14は、演算リード・オンリ・メモリ（Read Only Memory、以下、ROMという）部15に接続されている。演算ROM部15は、切替部14の入力信号に対応した演算結果S15を出力する回路である。演算ROM部15は、後処理部16及び切替部17の一方の入力側に接続されている。切替部17は、順／逆変換指令F／Iに対応して演算ROM部15の出力信号S15a又は後処理部16の出力信号S16を選択する回路である。切替部17は、アキュムレータ18に接続されている。アキュムレータ18は、切替部17の出力信号S17を入力して累積する回路である。アキュムレータ18は、シフトレジスタ19に接続されている。シフトレジスタ19は、アキュムレータ18の出力信号S18を入力して保持し、出力信号S19を出力回路である。

【0004】次に、この1次元目DCT／IDCT演算部10の動作を説明する。入力信号INは入力レジスタ回路11に順次入力され保持される。次に、P／S変換部12により最下位ビット（LSB）から順次シリアルに転送される。更に、前処理部13によりバタフライ演算が行われる。この前処理演算はDCT演算の場合にのみ必要であり、IDCT演算の場合にはバイパスさせる。このバイパスされた信号S12aと前処理された信号S13とは切替部14により順／逆変換指令F／Iに対応して選択される。切替部14の出力信号S14は、演算ROM部15に入力される。この演算ROM部15は、所定の入力信号に対応した演算結果S15を出力する。演算結果S15は後処理部16に入力される。この後処理演算はIDCTにのみ必要であり、DCT演算の場合にはバイパスさせる。バイパスされた信号S15aと後処理された信号S16とは切替部17により変換モードに対応して選択される。切替部17の出力信号S17はアキュムレータ18に入力され、累積される。この結果はシフトレジスタ19に入力されて保持され、出力信号S19が出力される。切替部14、17には順／逆変換指令F／Iが与えられ、DCT演算とIDCT演算のモードに対応して入力信号S13／S12a、15a／16をそれぞれ切り替えている。図4は、図3の入力レジスタ回路11の一構成例を示す概略の回路図である。この入力レジスタ回路11は、レジスタ41～48からなるレジスタ群40及びシフトレジスタ51～58からなるシフトレジスタ群50を備えている。レジスタ41～48は、前段の出力信号を次段へ順次入力するように縦続接続されている。又、レジスタ41～48の各々の出力側は、シフトレジスタ51～58の入力側にそれぞれ接続されている。シフトレジスタ51～58は、レジスタ41～48の出力信号S41～S48をそれぞれ取り込み、最下位2ビットを出力する回路である。シ

フトレジスタ51～58の出力側は図3のP／S変換部12の入力側にそれぞれ接続されている。

【0005】図5は、図4の入力レジスタ回路の動作を表すタイムチャートであり、この図を参照しつつ図4の入力レジスタ回路の動作を説明する。サイクルT1～T8の8サイクルで計8個の16ビットのデータINがレジスタ41～48に順次入力され、サイクルT9でレジスタ41～48の全てのレジスタが出力可能状態となる。サイクルT9において、レジスタ41～48の出力信号S41～S48は、シフトレジスタ51～58に転送される。又、サイクルT9～T16では、引き続きデータINが入力されてくるので、上記動作を繰り返し、レジスタ41～48は順にデータINを記憶していく。一方、サイクルT9で、データが書き込まれたシフトレジスタ51～58は、サイクルT10～T17の8サイクルの間、データINを右へ2ビットずつシフトする動作を繰り返すと同時に、出力信号の最下位（LSB）2ビットS41～S48を並列に出力する。

#### 【0006】

【発明が解決しようとする課題】しかしながら、従来の入力レジスタ回路では、次のような課題があった。8個のレジスタ41～48から8個のシフトレジスタ51～58へデータを転送する際に16×8ビット分のデータが転送されるので、瞬時消費電流が大きくなり、ノイズやリップルが増加して他の回路に誤動作などの悪影響を与えるという問題点があった。本発明は、前記従来技術が持っていた課題として、瞬時消費電流が大きいという点について解決するために、1サイクルで転送するデータを少なくし、瞬時消費電流が小さい入力レジスタ回路を提供するものである。

#### 【0007】

【課題を解決するための手段】第1の発明は、前記課題を解決するために、入力レジスタ回路に、n個（但し、nは1以上の整数）のシフトレジスタを有し、第1の制御信号により順次選択される該シフトレジスタに入力データをnサイクルの間取り込んで、その取り込んだ各データのうちのm（但し、mはnより小さい1以上の整数）ビットを次のnサイクルの間に並列に出力する第1のシフトレジスタ群と、n個のシフトレジスタを有し、前記第1のシフトレジスタ群が出力動作をしている間第2の制御信号により順次選択される該シフトレジスタに前記入力データを取り込んで、前記第1のシフトレジスタ群の出力終了後に、その取り込んだ各入力データのうちのmビットを次のnサイクルの間並列に出力する第2のシフトレジスタ群とを備えている。更に、第3の制御信号に基づき前記第1及び第2のシフトレジスタ群の出力信号のいずれか一方を選択して出力するn個の選択手段と、前記第1及び第2の制御信号を交互に出力すると共に、それに対応して前記第3の制御信号を出力する制御回路とが、設けられている。第2の発明では、入力レ

5  
ジスタ回路に、制御信号を出力する制御回路と、入力データを $n$ 個（但し、 $n$ は1以上の整数）に分割して出力する入力分割手段と、前記入力データを前段から次段へ順次入力して最終段から出力する出力動作及び前記入力分割手段で分割された入力データを取り込んでシフトして並列出力する出力動作の2種類の出力動作を前記制御信号に基づき選択して行う縦続接続された $n$ 個のシフトレジスタと、前記 $n$ 個のシフトレジスタの最終段の出力信号を $n$ 個に分割して出力する出力分割手段と、前記出力分割手段の各出力信号又は前記 $n$ 個のシフトレジスタから並列出力された各出力信号のいずれか一方を前記制御信号に基づき選択して出力する $n$ 個の選択手段とを備えている。又、前記各シフトレジスタは、前記入力データを取り込む第1の入力端子と、該第1の入力端子から取り込まれた入力データを出力する第1の出力端子と、前記入力分割手段で分割された入力データを取り込む第2の入力端子と、該第2の入力端子から取り込まれた入力データをクロック信号に基づき $m$ （但し、 $m$ は $n$ より小さい1以上の整数）ビットずつシフトして出力する第2の出力端子と、該第1又は第2の入力端子から取り込まれた入力データのいずれか一方を選択する前記制御信号を入力する制御入力端子とで構成している。

#### 【0008】

【作用】第1の発明によれば、以上のように入力レジスタ回路を構成したので、第1のシフトレジスタ群の $n$ 個のシフトレジスタは、 $n$ サイクルの間に順次入力データを取り込んで、その取り込んだ各データを $m$ ビットずつシフトして次の $n$ サイクルの間に並列に出力する。又、第2のシフトレジスタ群の $n$ 個のシフトレジスタは、前記第1のシフトレジスタ群が出力動作をしている間に順次入力データを取り込んで、前記第1のシフトレジスタ群の出力終了後に、その取り込んだ各入力データを $m$ ビットずつシフトして次の $n$ サイクルの間並列に出力する。更に、 $n$ 個の選択手段は、前記第1及び第2のシフトレジスタ群の出力信号のいずれか一方を選択して出力する。制御回路は、前記第1及び第2のシフトレジスタ群を交互に使用すること、及び1つのシフトレジスタ群中のどのシフトレジスタに入力データを書き込むかを制御する。第2の発明によれば、縦続接続された $n$ 個のシフトレジスタは、入力データを第1の入力端子から取り込み、その取り込んだデータを前段から次段へ順次入力して最終段の第1の出力端子から出力する。又、入力分割手段は、入力データを $n$ 個に分割し、 $n$ 個のシフトレジスタは、その分割された入力データを第2の入力端子から取り込み、その第2の入力端子から取り込まれた入力データをクロック信号に基づき $m$ ビットずつシフトして第2の出力端子から出力する。出力分割手段は、前記最終段の第1の出力端子の出力信号を $n$ 個に分割して出力する。更に、 $n$ 個の選択手段は、前記出力分割手段で分割された各出力信号及び前記各第2の出力端子の出力

信号のいずれか一方を選択して出力する。制御回路は、データを取り込む入力端子を前記第1及び第2の入力端子のいずれか一方から選択し、かつ、前記 $n$ 個の選択手段の出力信号を前記出力分割手段の出力信号及び前記各第2の出力端子の出力信号のいずれか一方から選択するための制御信号を出力する。

#### 【0009】

##### 【実施例】第1の実施例

図1は、本発明の第1の実施例を示す従来のDCT回路に設けられる入力レジスタ回路の概略の回路図である。  
この入力レジスタ回路は、制御信号 $S100a$ 、 $S00b$ 、 $S00c$ を出力する制御回路100、入力データ $DIN$ を取り込む第1のシフトレジスタ群110と第2のシフトレジスタ群120、及び第1のシフトレジスタ群110と第2のシフトレジスタ群120との出力信号のいずれか一方を選択して出力する複数の選択手段であるセレクト131～138を備えている。制御回路100のライトイネーブル端子 $WE0$ 、 $WE1$ は、シフトレジスタ群110のライトイネーブル端子 $WE0a$ 及びシフトレジスタ群120のライトイネーブル端子 $WE1b$ にそれぞれ接続されている。又、制御回路100の制御端子 $S$ は、セレクト131～138の制御入力端子に共通に接続されている。制御回路100は、入力データ $DIN$ を入力する1つのシフトレジスタを、シフトレジスタ群110及びシフトレジスタ群120から選択するための第1及び第2の制御信号 $S100a$ 、 $S100b$ を出力すると共に、セレクト131～138を制御する第3の制御信号 $S100c$ を出力する回路である。シフトレジスタ群110は、シフトレジスタ111～118を有し、制御信号 $S100a$ に基づき、シフトレジスタ111～118のうちいずれか一つが順次選択され、各入力端子 $D$ から16ビットの入力データ $DIN$ を8サイクルの間取り込んだ後、その取り込んだ各データの最下位2ビットを次の8サイクルの間、各出力端子 $Q$ から並列に出力する回路である。シフトレジスタ群120は、シフトレジスタ群110と同様にシフトレジスタ121～128を有し、シフトレジスタ群110が出力動作をしている間、制御信号 $S100b$ に基づきシフトレジスタ121～128のうちいずれか一つが順次選択されて各入力端子 $D$ から16ビットの入力データ $DIN$ を取り込み、シフトレジスタ群110が出力動作を終了した後、その取り込んだ各入力データの最下位2ビットを次の8サイクルの間、各出力端子 $Q$ から並列に出力する回路である。シフトレジスタ111～118、121～128の各出力端子 $Q$ は、セレクト131～138の入力端子にそれぞれ接続されている。セレクト131～138は、シフトレジスタ群110及びシフトレジスタ群120の出力信号 $S111$ ～ $S118$ 、 $S121$ ～ $S128$ を制御回路100の制御信号 $S100c$ に基づき、それぞれ選択して出力信号 $S131$ ～ $S138$ を出力する回路である。

【0010】図6は、図1の制御回路100の一構成例を示す概略の回路図である。この制御回路100は、4ビットカウンタ101、3入力8出力デコーダ102、インバータ103、8個の2入力ANDゲート104、105を備え、図のように接続されている。図7は、図1の入力レジスタ回路の動作を表すタイムチャートであり、この図を参照しつつ図1の入力レジスタ回路の動作を説明する。サイクルT1～T8の8サイクルで、制御回路100は、ライトイネーブル端子WE0から出力信号S100aを順次“00000001”，“00000010”，“00000100”，“00001000”，“00010000”，“00100000”，“01000000”，“10000000”のように出力する。一方、ライトイネーブル端子WE1から出力される出力信号S100bは“00000000”である。そのため、1サイクルでシフトレジスタ群110中のシフトレジスタ111～118のいずれか1つが選択されて入力データDINが書き込まれ、8サイクルかかってシフトレジスタ111～118の全てにデータが書き込まれる。シフトレジスタ111～118は、サイクルT9で全て出力可能な状態になる。以後、サイクルT9～T16の8サイクルの間、シフトレジスタ111～118は、最下位（LSB）2ビットを出力すると共に右へ2ビットシフト動作を繰り返す。この時、制御回路100の端子Sから出力される選択制御信号S100Cは“0”であり、選択回路131～138は、シフトレジスタ群110中のシフトレジスタ111～118の出力信号S111～S118を選択して出力信号S131～S138を出力する。

【0011】一方、サイクルT9～T16の8サイクルにおいても、サイクルT9～T16と同様に、1サイクルでシフトレジスタ群120中のシフトレジスタ121～128のいずれか1つが選択されて入力データDINが書き込まれ、8サイクルかかってシフトレジスタ121～128の全てにデータが書き込まれる。シフトレジスタ121～128は、サイクルT17で全て出力可能な状態になる。以後、サイクルT17～T24の8サイクルの間、シフトレジスタ121～128は、最下位（LSB）2ビットを出力すると共に右へ2ビットシフト動作を繰り返す。この時、制御回路100の端子Sから出力される選択制御信号S100Cは“1”であり、選択回路131～138は、シフトレジスタ群120中のシフトレジスタ121～128の出力信号S121～S128を選択して出力信号S131～S138を出力する。サイクルT17～T24では、サイクルT1～T8と同様の動作が繰り返される。即ち、16サイクルを1つの動作単位とし、前半の8サイクルでは、シフトレジスタ群110のシフトレジスタ111～118への書き込みと、シフトレジスタ群120のシフトレジスタ121～128のデータを並列に出力する。一方、後半の

8サイクルでは、前半とは逆に、シフトレジスタ群120のシフトレジスタ121～128への書き込みと、シフトレジスタ群110のシフトレジスタ111～118のデータを並列に出力する。以上のように、この第1の実施例では、入力データが入力する際には、シフトレジスタ群110、120中のシフトレジスタ111～118、121～128のうち、いずれか1つのシフトレジスタのデータのみが動くので、他のシフトレジスタについては消費電力がほぼ0になる。又、16ビットのデータが2ビットずつ分割されてシフトするので、瞬時消費電流が少なくなる。そのため、ノイズやリップルが減少して他の回路に誤動作などの悪影響が軽減され、電源部が小形化でき、発熱量も軽減できる。

### 【0012】第2の実施例

図8は、本発明の第2の実施例を示す従来のDCT回路に設けられる入力レジスタ回路の概略の回路図である。この入力レジスタ回路は、制御信号S140を出力する制御回路140、入力データDINを2ビットずつ8個に分割する入力分割手段150、入力データDINを取り込むシフトレジスタ161～168、シフトレジスタ168の出力信号を分割する出力分割手段170、及び出力分割手段170の各出力信号及び各出力端子QBの出力信号のいずれか一方を選択する複数の選択手段であるセクタ181～188を備えている。制御回路140の制御端子Sは、シフトレジスタ161～168の制御入力端子S/L及びセクタ181～188の制御入力端子に共通に接続されている。制御回路140は、制御信号S140を出力する回路である。入力分割手段150は、16ビットの入力データDINを2ビットずつ8個に分割して出力する回路である。シフトレジスタ161～168は、入力データDINを取り込む第1の入力端子DA、その取り込んだデータを出力する第1の出力端子QA、入力分割手段150で分割された入力データを取り込む第2の入力端子DB、第2の入力端子DBから取り込まれた入力データをクロック信号に基づき2ビットずつシフトして出力する第2の出力端子QB、及びデータを取り込む入力端子を入力端子DA、DBのいずれか一方から選択するための制御信号S140を入力する制御入力端子S/Lをそれぞれ有している。更に、シフトレジスタ161～168は、前段から次段へ入力データDINを前段の出力端子QAから次段の入力端子DAへ順次入力して最終段のシフトレジスタ168の出力端子QAから出力するように縦続接続されている。シフトレジスタ168の出力端子QAは、出力分割手段170の入力側に接続されている。出力分割手段170は、シフトレジスタ168の出力端子QAの出力信号S168aを下位2ビットずつ8個に分割して出力する回路である。セクタ181～188は、制御信号S140に基づき、出力分割手段170の各出力信号及び各出力端子QBの出力信号S161b～S168bのいずれ

か一方を選択してそれぞれ出力する回路である。

【0013】図9は、シフトレジスタ161～168の一構成例を示す概略の構成ブロック図である。このシフトレジスタは、遅延フリップフロップ（以下、D-FFという）f1～f16を備えている。各D-FF f1～f16は、1つのデータ入力端子D、2つの出力端子Q1、Q2、1つのクロック端子Cをそれぞれ有している。各D-FF f1～f16の入力端子Dには、制御信号S140に基づいてD-FF f1～f16に対する入力切り替えを行う2入力選択器（以下、セクタという）SL1～SL16がそれぞれ接続されている。このシフトレジスタは、例えば、制御信号S140により

“0”が選択されたとき入力端子DAから16ビットのデータda1～da16が一斉にセクタSL1～SL16を介して各D-FF f1～f16にそれぞれ取り込まれる。又、このシフトレジスタは、制御信号S140により“1”が選択されたとき、入力端子DBから2ビットのデータdb1、db2が図示しないクロック信号CLKに同期して、それぞれセクタSL1、SL2を介してD-FF f1、f2に取り込まれる。D-FF f1～f16のうち、1つおきに配置された奇数番目のD-FF f1、f3、f5、～f13の各出力端子Q1は、セクタSL3、SL5、～SL15を介して、次の奇数番目のD-FF f3、f5、～f15のデータ入力端子Dにそれぞれ接続されている。同様に、偶数番目のD-FF f2、f4、f6、～f14の各出力端子Q1は、セクタSL4、SL6、～SL16を介して、次の偶数番目のD-FF f4、f6、～f16のデータ入力端子Dにそれぞれ接続されている。図10は、図8の入力レジスタ回路の動作を表すタイムチャートであり、この図を参照しつつ図8の入力レジスタ回路の動作を説明する。サイクルT1～T8の8サイクルの間、制御信号S140は“1”の状態であり、毎サイクル入力される入力データDINは、シフトレジスタ161～168の各入力端子DAに順次書き込まれる。シフトレジスタ168の出力信号S168aは、セクタ181～188を介して出力される。サイクルT9～T16の8サイクルの間では、制御信号S140は“0”の状態であり、各シフトレジスタ161～168は、1サイクル毎に右へ2ビットずつシフト動作を実行する。又、同時に入力データDINは、入力分割手段150で2ビットずつ8個に分割され、シフトレジスタ161～168の各入力端子DBにそれぞれ書き込まれる。8サイクルの後、各シフトレジスタ161～168は、その全てのデータの右シフト動作を終了し、かつ、その区間、最下位2ビットを各出力端子QBより出力し、その出力信号S161～168がセクタ181～188を介して出力される。サイクルT9～T16において、2ビットずつ8回に分けて入力端子DBから入力されたデータは、各シフトレジスタ161～168の全てのビットを埋め、

その内容は、入力データDIN上のデータの或る特定の2ビットのデータを8個並べてあるものに等しい。そこで、次のサイクルT17～T24において、サイクルT1～T8の動作を繰り返すことにより、サイクルT9～T16でセクタ181～188を介して出力されたデータと同じ種類のデータが出力される。

【0014】以上のように、この第2の実施例では、第1の実施例と同様に、16ビットのデータが2ビットずつ分割されてシフトするので、瞬時消費電流が少なくなる。又、使用するレジスタの数が従来の半分であるので、消費電力は従来の約半分になる。そのため、ノイズやリップルが減少して他の回路に誤動作などの悪影響が軽減され、電源部が小形化でき、発熱量も軽減できる。なお、本発明は上記実施例に限定されず、種々の変形が可能である。その変形例としては、例えば次のようなものがある。

(a) 図1のシフトレジスタ群110、120は、図4の従来レジスタ群40と同様に縦続接続してもよい。

(b) 図1のシフトレジスタ群の数は、入力データDINのビット数に応じて変えることができる。

(c) 図1の制御回路100は、カウンタ等を用いてもよい。

(d) 図8の入力分割回路150はANDゲートやORゲート等で構成してもよい。

(e) 図8の出力分割回路170はANDゲートやORゲート等で構成してもよい。

(f) 図1及び図8の入力レジスタ回路は、他の演算処理回路の入力部にも使用できる。

#### 【0015】

【発明の効果】以上詳細に説明したように、第1の発明によれば、入力データを取り込み、シフトする第1及び第2のシフトレジスタ群を設け、交互にデータを出力するようにしたので、1度に多くのデータが転送されることなく、瞬時消費電流を低減できる。そのため、ノイズやリップルが減少でき、他の回路に誤動作などの悪影響を及ぼさない。更に、第1及び第2のシフトレジスタ群に電源を供給する電源部が小形化でき、発熱量も軽減できる。第2の発明によれば、入力データを取り込み、シフトする複数のシフトレジスタに直接データを書き込み、そのシフトレジスタの動作を2ビット右へシフトする動作と、それぞれのシフトレジスタ間でデータの受け渡しを行う動作との2種類を設けたので、1度に多くのデータが転送されることなく、瞬時消費電流の低減が期待できる。そのため、ノイズやリップルが減少して他の回路に誤動作などの悪影響が軽減され、電源部が小形化でき、発熱量も軽減できる。

#### 【図面の簡単な説明】

【図1】本発明の第1の実施例を示す入力レジスタ回路の概略の回路図である。

【図2】従来のDCT/I DCT装置の概略の回路図で

ある。

【図3】図2の1次元目DCT/IDCT回路の概略の構成ブロック図である。

【図4】従来の入力レジスタ回路の概略の回路図である。

【図5】図4のタイムチャートである。

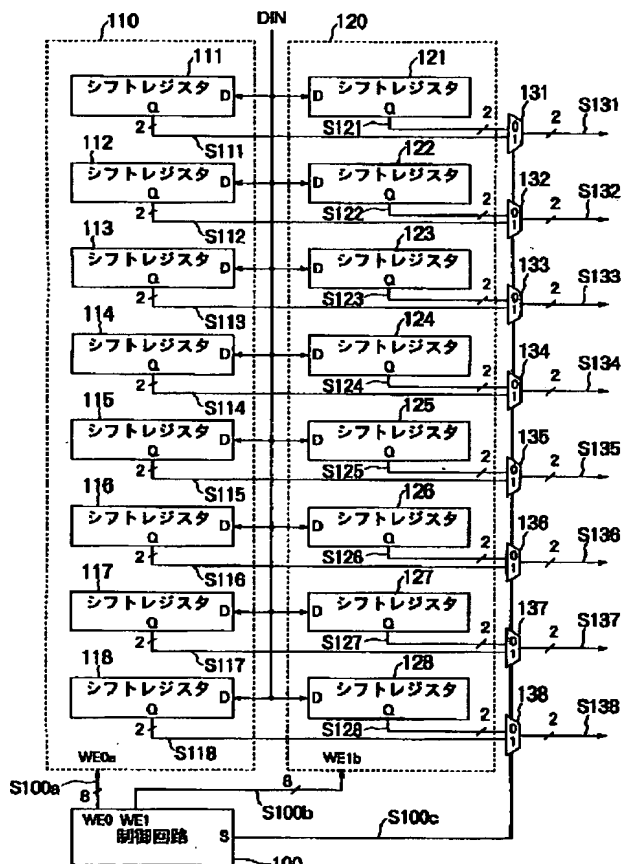
【図6】図1の制御回路の概略の構成ブロック図である。

【図7】図1のタイムチャートである。

【図8】本発明の第2の実施例を示す入力レジスタ回路の概略の回路図である。

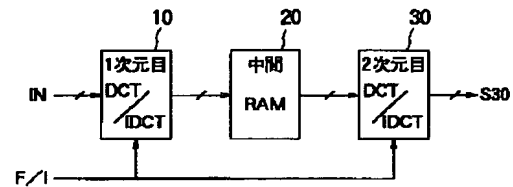
【図9】図8中のシフトレジスタの概略の構成ブロック \*

【図1】



本発明の第1の実施例の入力レジスタ回路

【図2】



従来のDCT/IDCT装置

【図4】

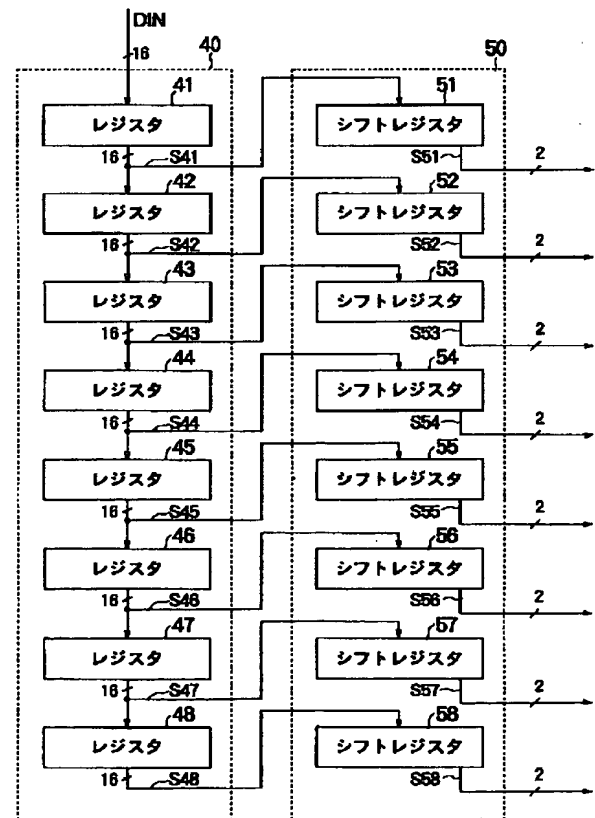


図3の入力レジスタ回路

\*図である。

【図10】図8のタイムチャートである。

【符号の説明】

110, 120

シフトレジスタ群

111~118, 121~128, 161~168

シフトレジスタ

100, 140

制御回路

131~138, 181~188

セクタ



【図 3】

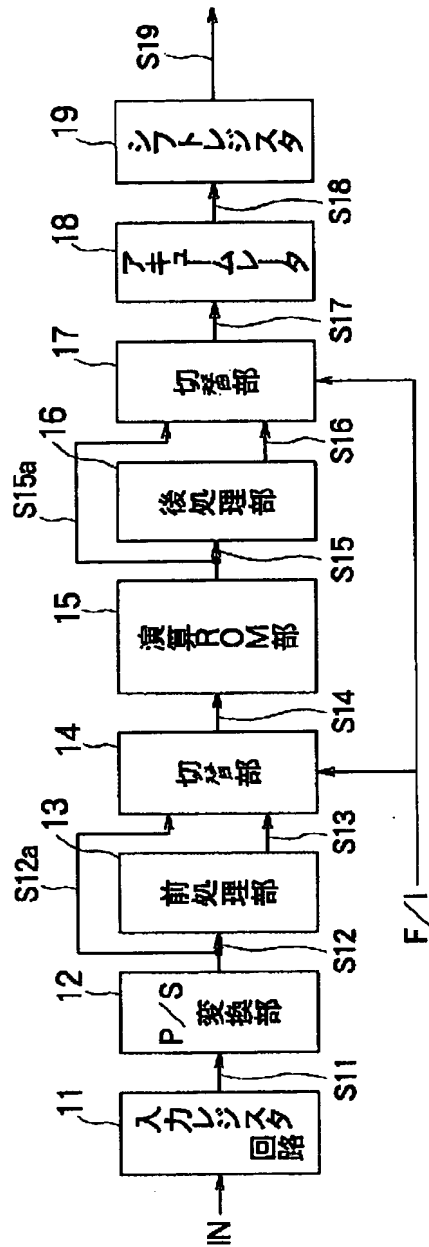
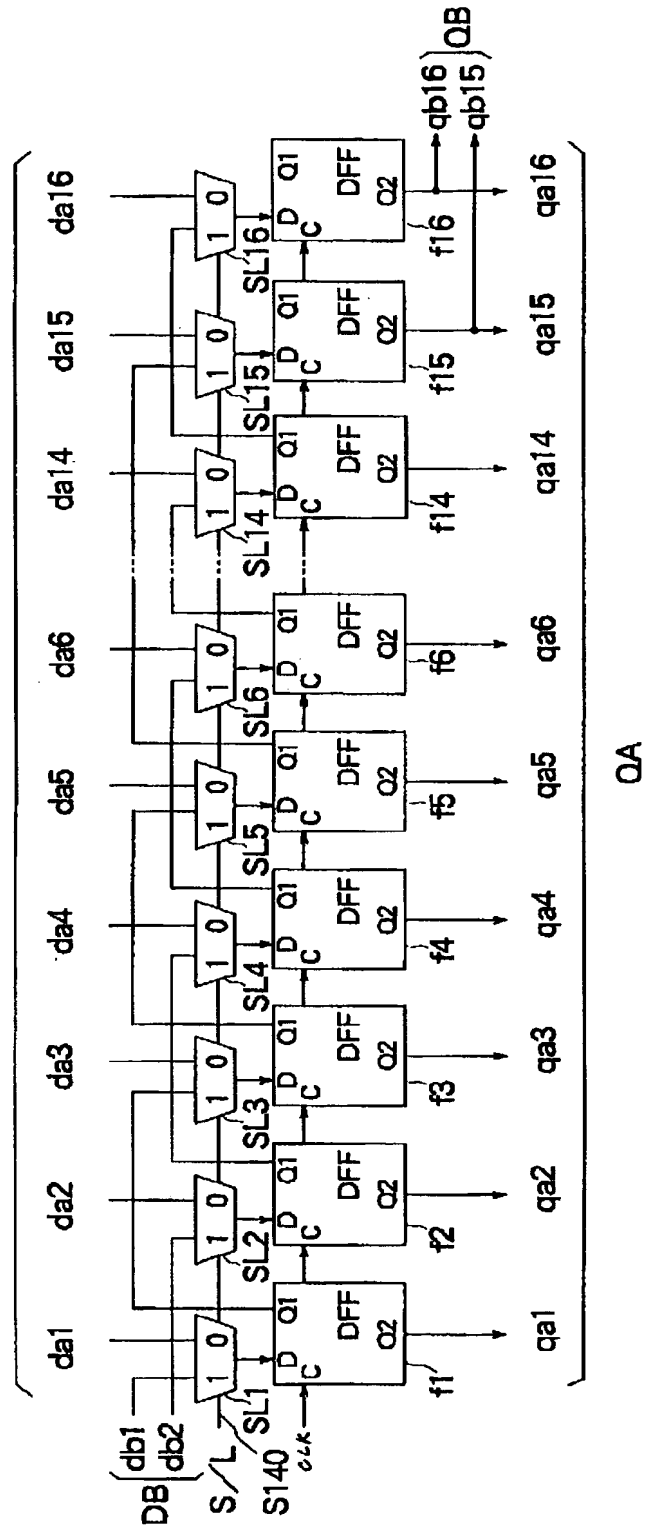


図 2 の DCT/IDCT の構成ブロック図

DA



QA

図 8 中のシフトレジスタ

【図 5】

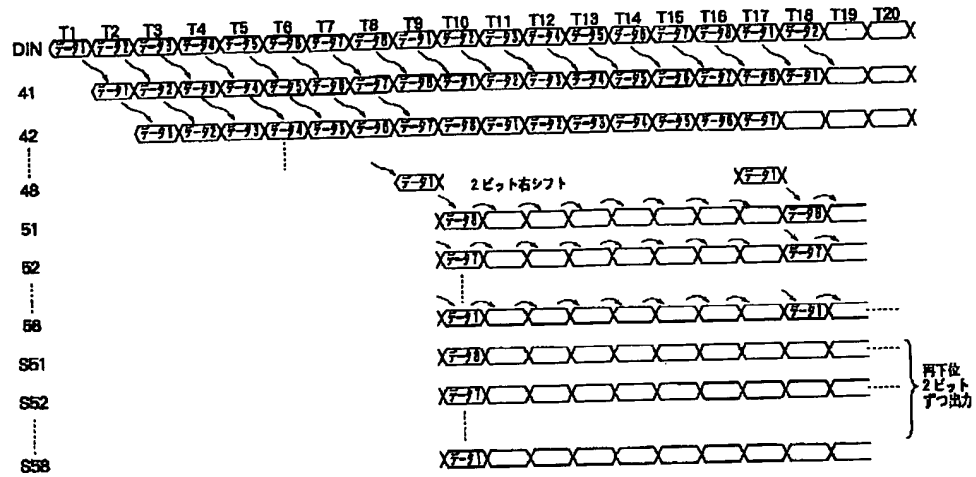


図 4 のタイムチャート

【図 6】

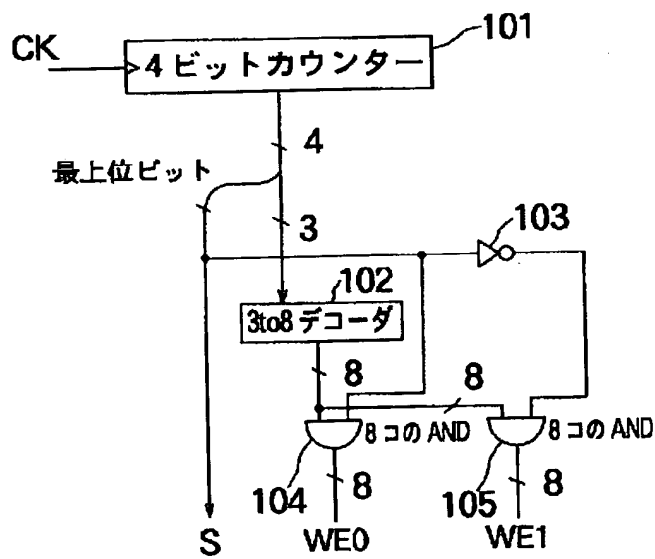
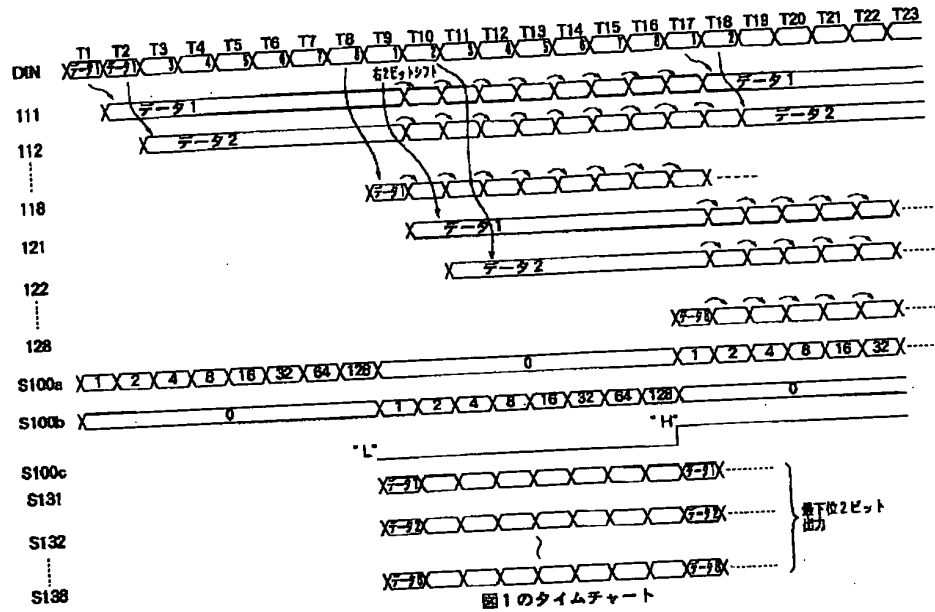
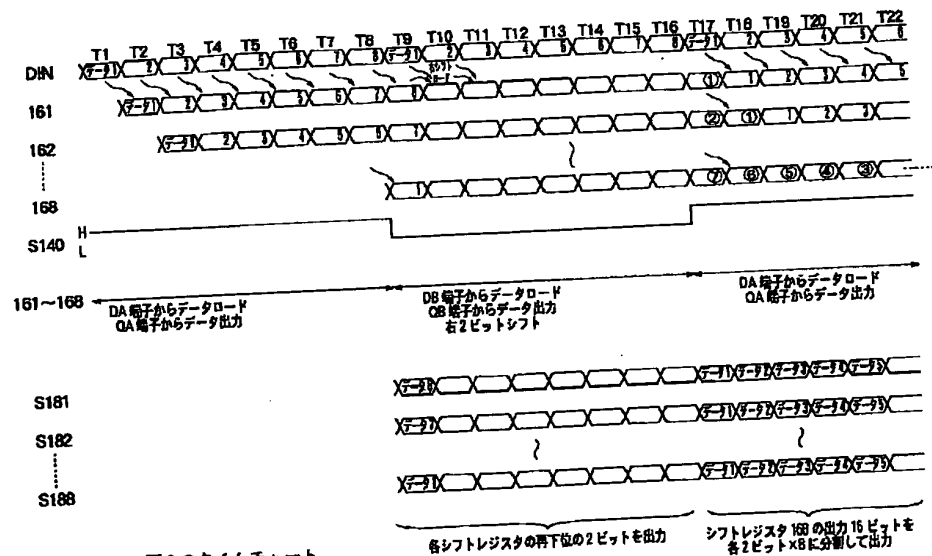


図 1 の制御回路

【図7】



【図10】





フロントページの続き

(51) Int. Cl. <sup>6</sup>H 0 4 N 1/41  
7/30

識別記号

庁内整理番号

B

F I

技術表示箇所

H 0 4 N 7/133

Z